

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-242905

(43)Date of publication of application : 11.09.1998

(51)Int.Cl.

H04B 7/26

H04B 1/40

(21)Application number : 09-042085

(71)Applicant : KOKUSAI ELECTRIC CO LTD

(22)Date of filing : 26.02.1997

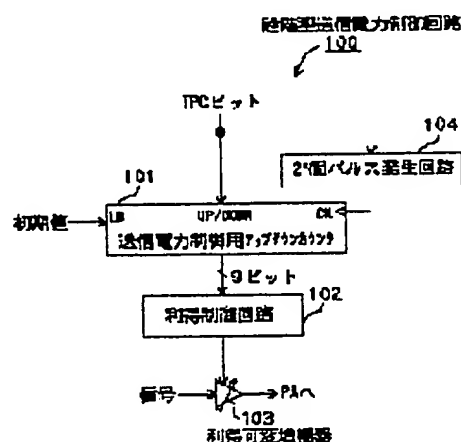
(72)Inventor : HATTORI NORIHIRO
ABE SHUNJI

(54) STEPPED TRANSMISSION POWER CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a stepped transmission power control circuit capable of holding the phase jump quantity of one control at a small value and preventing its characteristics from being deteriorated.

SOLUTION: A transmission power controlling up-down counter 101 inputs a transmission power control bit(TPC bit) from a base station in a closed loop control state and outputs gain indicated by the TPC bit from its count output terminal as a count output consisting of conventional output bits corresponding to $1/2n$ of a conventional control variable and n bits at control timing inputted from a $2n$ pulses generation circuit 104 and faster than conventional timing by $2n$ times. A gain control circuit 102 converts the count output to control voltage and a gain variable amplifier 103 changes the gain, based on the control voltage, amplifies a signal to be sent to the base station by the changed gain and transfers the amplified signal to the succeeding power amplification part. Since control steps and a control variable are minutely divided, the phase jump quantity of one control can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

11
[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242905

(43) 公開日 平成10年(1998) 9月11日

(51) Int. Cl.⁶H 0 4 B 7/26
1/40

識別記号

1 0 2

F I

H 0 4 B 7/26
1/40

1 0 2

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平9-42085

(22) 出願日 平成9年(1997) 2月26日

(71) 出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72) 発明者 服部 徳宏

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(72) 発明者 安部 俊二

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

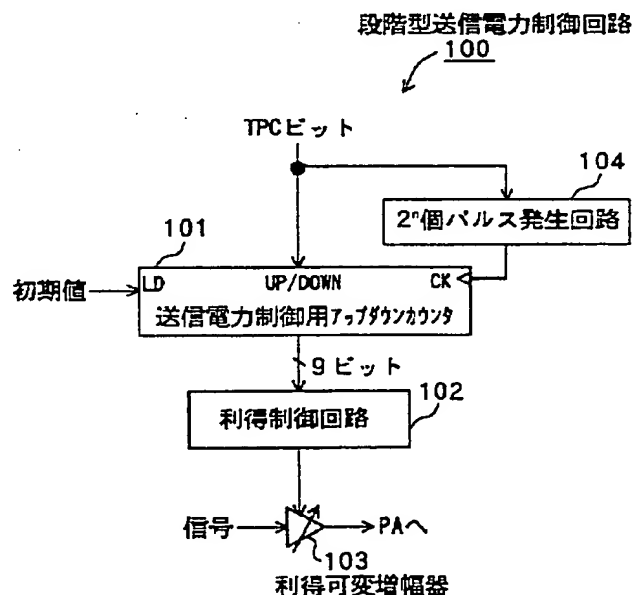
(74) 代理人 弁理士 石戸 元

(54) 【発明の名称】 段階型送信電力制御回路

(57) 【要約】

【課題】 1回の制御当たりの位相ジャンプ量を小さく保ち、特性の劣化をもたらさない段階型送信電力制御回路を提供する。

【解決手段】 送信電力制御用アップダウンカウンタ 101は、閉ループ制御において、基地局からの送信電力制御ビット (TPCビット) を入力し、 2^n 個パルス発生回路 104から入力する従来よりも 2^n 倍速い制御タイミングで、TPCビットが指示する利得を1カウントが従来の制御量の $1/2^n$ に対応する従来の出力ビット + nビットのカウンタ出力としてカウンタ出力端から出力する。利得制御回路 102は、このカウンタ出力を制御電圧にし、利得可変増幅器 103は、この制御電圧に基づいて利得を変更し、その変更した利得によって基地局に送出すべき信号を増幅して次段の電力増幅部に引き渡す。制御ステップと制御量とは細かくされ、1回の制御当たりの位相ジャンプ量は小さくなる。



【特許請求の範囲】

【請求項1】 基地局から一定周期で送られる送信電力制御ビットの制御タイミングに従って、前記送信電力制御ビットの指示する利得を、1カウントが単位制御量に対応する所定ビット数のカウント出力として出力し、このカウント出力に対応した制御電圧を出力し、前記制御電圧に対応して利得を変更し、基地局に対して送出すべき信号を前記変更した利得で増幅する段階型送信電力制御回路において、

前記制御タイミングをその 2^n （ n は自然数）倍の制御タイミングに変換する 2^n 個パルス発生回路と、

前記 2^n 倍の制御タイミングに従って、前記送信電力制御ビットの指示する利得を1カウントが前記単位制御量の $1/2^n$ に対応する前記所定ビット $+n$ ビットのカウント出力として出力する送信電力制御用アップダウンカウンタと、

前記送信電力制御用アップダウンカウンタのカウント出力に対応する制御電圧を出力する利得制御回路と、

前記利得制御回路の制御電圧に対応して利得を変更し、基地局に対して送出すべき信号を前記変更した利得で増幅する利得可変増幅器とを有することを特徴とする段階型送信電力制御回路。

【請求項2】 第1、第2の段階型送信電力制御回路と、アップコンバータとを有する段階型送信電力制御回路であって、

前記第1、第2の段階型送信電力制御回路は、それぞれ請求項1記載の段階型送信電力制御回路であり、前記第1の段階型送信電力制御回路の利得可変増幅器は、中間周波帯の信号を増幅し、前記アップコンバータは、前記第1の段階型送信電力制御回路の利得可変増幅器が増幅した中間周波帯の信号を高周波帯の信号に変換し、前記第2の段階型送信電力制御回路の利得可変増幅器は、前記アップコンバータが変換した高周波帯の信号を増幅する段階型送信電力制御回路。

【請求項3】 前記利得可変増幅器の代わりにステップアッテネータを用いた段階型送信電力制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、基地局から一定周期で送られる送信電力制御ビットの制御タイミングに従って、前記送信電力制御ビットの指示する利得で、基地局に対して送出すべき信号を増幅する段階型送信電力制御回路に関する。

【0002】

【従来の技術】ディジタル移動通信における干渉低減法として送信電力制御が挙げられ、送信電力制御には閉ループ制御と、開ループ制御とがある。従来の閉ループ制御としては、基地局から個別物理チャネルを通じて一定周期の既知のタイミングで送信電力制御ビット（TPCビット：例えば7ビット構成）を挿入し、これを受けた

移動局が現在の送信電力を±数dBのステップで制御する方法がある。この従来の方法が適用されているのが図4によって示される段階型送信電力制御回路である。

【0003】この段階型送信電力制御回路500は、送信電力制御用アップダウンカウンタ501と、利得制御回路502と、利得可変増幅器503とから構成されている。送信電力制御用アップダウンカウンタ501（以降、アップダウンカウンタ501と略記する）は、回線接続直後の閉ループ制御に入る前に初期値を初期値入力端LDから入力する。閉ループ制御において、アップダウンカウンタ501は、TPCビットをカウントデータ端UP/DOWNと、制御端CKとに入力し、TPCビット挿入周期（0.625ms）を制御タイミングとし、TPCビットに基づいてカウント値をインクリメントあるいはデクリメントし、カウント出力端から利得制御回路502に出力する。

【0004】利得制御回路502は、アップダウンカウンタ501から受け取ったカウント値の例えば7ビットを直流電圧値に変換し、利得可変増幅器503は、この直流電圧値に基づいて、利得を設定し、設定した利得で入力信号を増幅して次段の電力増幅部に出力する。アップダウンカウンタ501の構成ビット数は所望の送信電力制御ダイナミックレンジによって決定されている。上述の場合、80dBのダイナミックレンジを1dBステップで制御することを想定しているので、構成ビット数は7ビットである。

【0005】

【発明が解決しようとする課題】しかしながら、上述の段階型送信電力制御回路は、減衰量あるいは電力利得の設定値により、利得可変増幅器の遅延量が変わることが問題となる。すなわち、一定周期毎に減衰量が変わったとき、瞬間的に信号の位相が進んだり遅れたりして位相ジャンプを発生させ、送信信号の変調方式がQPSK等の位相変調である場合に、この位相ジャンプの位相角が大きいと特性の劣化になるという問題がある。

【0006】この発明はこのような課題を解決するためになされたものであり、制御ステップと制御量を細かくして1回の制御当たりの位相ジャンプ量を小さく保ち、特性の劣化をもたらさない段階型送信電力制御回路を提供することを目的とする。

【0007】

【課題を解決するための手段】前述した課題を解決するために、第1の発明は、基地局から一定周期で送られる送信電力制御ビットの制御タイミングに従って、前記送信電力制御ビットの指示する利得を、1カウントが単位制御量に対応する所定ビット数のカウント出力として出力し、このカウント出力に対応した制御電圧を出力し、前記制御電圧に対応して利得を変更し、基地局に対して送出すべき信号を前記変更した利得で増幅する段階型送信電力制御回路において、前記制御タイミングをその2

n (n は自然数) 倍の制御タイミングに変換する 2^n 個パルス発生回路と、前記 2^n 倍の制御タイミングに従って、前記送信電力制御ビットの指示する利得を1カウントが前記単位制御量の $1/2^n$ に対応する前記所定ビット $+n$ ビットのカウンタ出力として出力する送信電力制御用アップダウンカウンタと、前記送信電力制御用アップダウンカウンタのカウンタ出力に対応する制御電圧を出力する利得制御回路と、前記利得制御回路の制御電圧に対応して利得を変更し、基地局に対して送出すべき信号を前記変更した利得で増幅する利得可変増幅器とを有する。

【0008】また、第2の発明は、第1、第2の段階型送信電力制御回路と、アップコンバータとを有する段階型送信電力制御回路であって、前記第1、第2の段階型送信電力制御回路は、それぞれ第1の発明の段階型送信電力制御回路であり、前記第1の段階型送信電力制御回路の利得可変増幅器は、中間周波帯の信号を増幅し、前記アップコンバータは、前記第1の段階型送信電力制御回路の利得可変増幅器が増幅した中間周波帯の信号を高周波帯の信号に変換し、前記第2の段階型送信電力制御回路の利得可変増幅器は、前記アップコンバータが変換した高周波帯の信号を増幅する。

【0009】さらに、第3の発明は、前記利得可変増幅器の代わりにステップアッテネータを用いている。

【0010】

【発明の実施の形態】

(実施の形態1) 以下、この発明の実施の形態について添付図面に基いて説明する。図1はこの発明に係わる段階型送信電力制御回路の実施の形態1を示すブロック図である。この段階型送信電力制御回路100は、ディジタル移動通信における干渉低減法として送信電力制御を行うものであって、送信電力制御用アップダウンカウンタ101と、利得制御回路102と、利得可変増幅器103と、 2^n 個パルス発生回路104とから構成されている。

【0011】送信電力制御用アップダウンカウンタ101は、回線接続直後の閉ループ制御に入る前に初期値を初期値入力端LDから入力する。閉ループ制御において、アップダウンカウンタ101は、基地局から個別物理チャネルを通じて一定周期の既知のタイミングで挿入される送信電力制御ビット(TPCビット:挿入周期T)をカウンタデータ端UP/DOWNに入力し、 2^n 個パルス発生回路104から制御端CKに入力する従来よりも 2^n 倍速い制御タイミングによって、TPCビットに基づいてカウンタ値をインクリメントあるいはデクリメントし、構成ビットを n ビットだけ増加させたカウンタ値(例えば、7ビットを $n=2$ ビットだけ増加させて9ビットとしたカウンタ値)をカウンタ出力端から利得制御回路102に出力する。この場合、送信電力制御用アップダウンカウンタ101の1カウントは、従来の制御量

の $1/2^n$ の制御量に対応する。利得制御回路102は、このカウンタ出力を制御電圧にし、利得可変増幅器103は、この制御電圧に基づいて利得を変更し、その変更した利得によって基地局に送出すべき信号を増幅して、次段の電力増幅器に出力する。

【0012】すなわち、上述の構成ビットの増加は、ダイナミックレンジを広げることを目的とせず、制御ステップと制御量を細かくすることを目的としている。したがって、例えば、従来の1dBのステップ(図2を参照のこと)であったのを $1\text{dB}/2^n$ とし、したがって、 $n=2$ の場合、 $1\text{dB}/4=0.25\text{dB}$ ステップ制御とする。また、 2^n 個パルス発生回路104の制御タイミングも、 $T/2^n$ と細くなるので、 $0.625\text{ms}/2^n$ すなわち、 $0.625/4=0.15625\text{ms}$ となる。

【0013】この制御状態を模式的に示したのが図2であって、理想的な線形の制御が一点鎖線で示され、制御ステップと制御量とが大きい従来の制御が点線で示され、図1の実施の形態1の回路によるものが実線で示されている。したがって、実施の形態1の方が従来のものよりも理想に近く、制御ステップと制御量とが細かく変えられるので、1回の制御当たりの位相ジャンプが小さく抑えられ、位相ジャンプは送信電力制御周期の期間において平均的に分散され、いわゆるシンボル間位相誤差が微量に抑えられ、受信側において信号が復調された際の品質の劣化が防止される。特に、受信システムにおいて、パイロット内挿補間同期検波のようにフェージング変動を抑える効果のある検波方式を用いた場合には、送信電力制御による位相誤差を吸収することが可能となる。また、図1においては、利得可変増幅器103を用いたが、この代わりにステップアッテネータを用いても同様なことが実行できる。

【0014】(実施の形態2) 図3はこの発明に係わる段階型送信電力制御回路の実施の形態2を示すブロック図である。この段階型送信電力制御回路200は、並列に作動する第1の段階型送信電力制御回路210および第2の段階型送信電力制御回路220と、アップコンバータ230とから構成されている。第1の段階型送信電力制御回路210は、送信電力制御用アップダウンカウンタ211と、利得制御回路212と、利得可変増幅器213と、 2^n 個パルス発生回路214とから構成されている。第2の段階型送信電力制御回路220は、送信電力制御用アップダウンカウンタ221と、利得制御回路222と、利得可変増幅器223と、 2^n 個パルス発生回路224とから構成されている。

【0015】第1、第2の段階型送信電力制御回路210、220の動作は、それぞれ図1の段階型送信電力制御回路100の動作と同じであるので、ここでの動作の詳細な説明は省略する。第1の段階型送信電力制御回路210の利得可変増幅器213は、IF帯の信号を入力

し、利得制御回路212に指示された利得で増幅し、アップコンバータ230に出力する。アップコンバータ230は、入力したIF帯の信号をRF帯の信号にアップコンバートし、第2の段階型送信電力制御回路220の利得可変増幅器223に出力する。利得可変増幅器223は、入力したRF帯の信号を利得制御回路222に指示された利得で増幅し、次段の電力増幅部に出力する。このように、増幅を中間周波帯と、高周波帯とに分けて行うので正確に制御できる。

【0016】

【発明の効果】以上に詳述したように、第1の発明に係わる段階型送信電力制御回路は、基地局から一定周期で送られる送信電力制御ビットの制御タイミングに従って、前記送信電力制御ビットの指示する利得を、1カウントが単位制御量に対応する所定ビット数のカウント出力として出力し、このカウント出力に対応した制御電圧を出力し、前記制御電圧に対応して利得を変更し、基地局に対して送出すべき信号を前記変更した利得で増幅する段階型送信電力制御回路において、前記制御タイミングをその 2^n （ n は自然数）倍の制御タイミングに変換する 2^n 個パルス発生回路と、前記 2^n 倍の制御タイミングに従って、前記送信電力制御ビットの指示する利得を1カウントが前記単位制御量の $1/2^n$ に対応する前記所定ビット+ n ビットのカウント出力として出力する送信電力制御用アップダウンカウンタと、前記送信電力制御用アップダウンカウンタのカウント出力に対応する制御電圧を出力する利得制御回路と、前記利得制御回路の制御電圧に対応して利得を変更し、基地局に対して送出すべき信号を前記変更した利得で増幅する利得可変増幅器とを有することにより、従来に比較して、制御ステップと制御量とを $1/2^n$ に細かくして1回の制御当たりの位相ジャンプ量を小さくでき、位相変調等の特性を劣化させないで送信電力を制御できるという効果を奏する。

【0017】また、第2の発明に係わる段階型送信電力制御回路は、第1、第2の段階型送信電力制御回路と、アップコンバータとを有する段階型送信電力制御回路で

あって、前記第1、第2の段階型送信電力制御回路は、それぞれ第1の発明の段階型送信電力制御回路であり、前記第1の段階型送信電力制御回路の利得可変増幅器は、中間周波帯の信号を増幅し、前記アップコンバータは、前記第1の段階型送信電力制御回路の利得可変増幅器が増幅した中間周波帯の信号を高周波帯の信号に変換し、前記第2の段階型送信電力制御回路の利得可変増幅器は、前記アップコンバータが変換した高周波帯の信号を増幅することにより、第1の発明と同様な効果を奏するとともに、増幅を中間周波帯の場合と、高周波帯の場合とに分けて行うので正確に制御でき、復調後の品質が向上するという効果をも奏する。

【0018】さらに、第3の発明に係わる段階型送信電力制御回路は、前記利得可変増幅器の代わりにステップアッテネータを用いていることにより、制御量の変化を単純かつ正確にできる効果を奏する。

【図面の簡単な説明】

【図1】この発明に係わる段階型送信電力制御回路の実施の形態1を示すブロック図である。

【図2】図1の段階型送信電力制御回路の制御状態と、従来の段階型送信電力制御回路の制御状態との比較を模式的に示すグラフである。

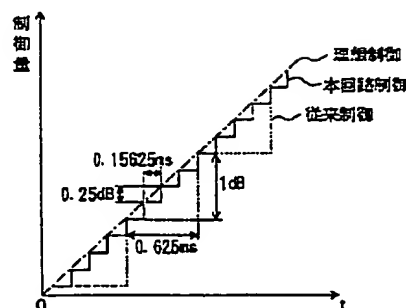
【図3】この発明に係わる段階型送信電力制御回路の実施の形態2を示すブロック図である。

【図4】段階型送信電力制御回路の従来例を示すブロック図である。

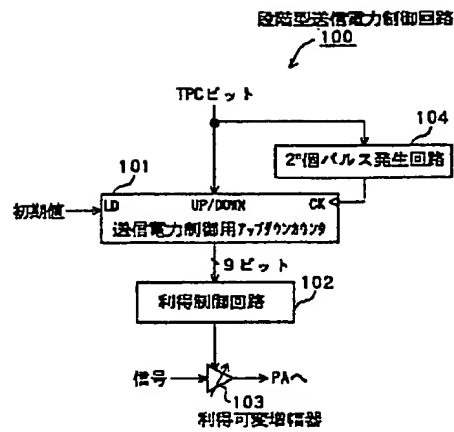
【符号の説明】

| | |
|---------------|-------------------|
| 100, 200 | 段階型送信電力制御回路 |
| 101, 211, 221 | 送信電力制御用アップダウンカウンタ |
| 102, 212, 222 | 利得制御回路 |
| 103, 213, 223 | 利得可変増幅器 |
| 104, 214, 224 | 2^n 個パルス発生回路 |
| 210 | 第1の段階型送信電力制御回路 |
| 220 | 第2の段階型送信電力制御回路 |
| 230 | アップコンバータ |

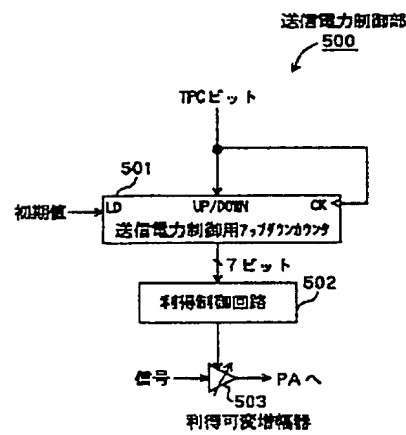
【図2】



【図1】



【図4】



【図3】

